

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problem Mailbox.**

L4 ANSWER 2 OF 5 CA COPYRIGHT 1998 ACS  
 AN 118:264909 CA  
 TI Method for etching back polycrystalline silicon having uneven  
 surface  
 IN Tokashiki, Takeshi Tokashiki  
 PA NEC Corp., Japan  
 SO Jpn. Kokai Tokkyo Koho, 4 pp.  
 CODEN: JKYYAF  
 PI JP 04326516 A2 921116 Heisei  
 AI JP 91-121836 910425  
 DT Patent  
 LA Japanese  
 IC ICM H01L021-302  
 ICS H01L027-04  
 CC 76-14 (Electric Phenomena)  
 AB The title method comprises the steps of growing a polycryst. Si film  
 having uneven surface on a stepwise surface, forming an etching  
 protective film on the side wall of the stepwise surface, and  
 dry-etching the polycryst. Si film by using a halogen-contg. gas.  
 This method is useful for fabricating a stacked capacitor of dynamic  
 RAM.  
 ST polycryst silicon etching back method; stacked capacitor dynamic RAM  
 manuf  
 IT Etching  
 (back of polycryst. silicon having uneven surface)  
 IT Memory devices  
 (random-access, stacked capacitors of, etching back of polycryst.  
 silicon film in manuf. of)  
 IT 7440-21-3, Silicon, uses  
 RL: PRP (Properties)  
 (polycryst., film having uneven surface from, etching back of)

NE →

oxidize Si in  $HNO_3$   
 to form  $SiO_2$  vapor

etch  $SiO_2$   
 in  
 $HBr$   
 vapor

TI - ETCHING-BACK METHOD OF POLYCRYSTALLINE SI HAVING UNEVEN SHAPE  
 PA - (2000423) NEC CORP  
 IN - TOKASHIKI, TAKESHI  
 PN - 92.11.16 J04326516, JP 04-326516  
 AP - 91.04.25 91JP-121836, 03-121836  
 SO - 93.03.31 SECT. E, SECTION NO. 1344; VOL. 17, NO. 169, PG. 50.  
 IC - H01L-021/302; H01L-027/04  
 JC - 42.2 (ELECTRONICS--Solid State Components)  
 AB - PURPOSE: To etch and eliminate uneven-shaped polycrystalline Si in solid structure body gaps while maintaining the uneven shape of a solid structure body side wall, by forming an etching protection film on the polycrystalline Si of the solid structure body side wall, and etching-back the solid structure body wherein the polycrystalline Si having the uneven shape is grown by using halogen-containing gas.  
 CONSTITUTION: Polycrystalline Si 4 having an uneven shape is formed on the whole surface of a solid structure body by an LPCVD method. As a protective film for protecting the uneven shape of the solid structure body side wall from etching, a natural oxide film is grown on the polycrystalline Si surface having the uneven shape by nitric-acid-boiling an Si substrate at 130 Deg.C. Dry etching is performed by using HBr gas as etching gas. As the result, the uneven shape is transferred on the upper surface of the solid structure body as it is, and a structure wherein the uneven shape is maintained is obtained on the solid structure body side wall.

at 130°C  
 HNO<sub>3</sub> treat Si to form SiO<sub>2</sub>  
 ↓  
 HBr  
 vapor  
 etch  
 SiO<sub>2</sub>

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平4-326516

(43) 公開日 平成4 (1992) 11月16日

(51) Int. Cl. <sup>5</sup>	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 21/302	J	7353-4M		
	N	7353-4M		
27/04	C	8427-4M		

審査請求 未請求 請求項の数1 (全 4 頁)

(21) 出願番号 特願平3-121836

(22) 出願日 平成3年(1991)4月25日

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 飯高敏 健

東京都港区芝五丁目7番1号 日本電気株式会社内

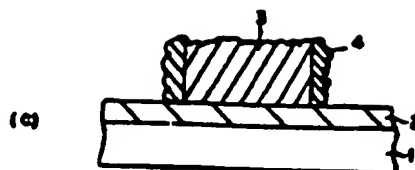
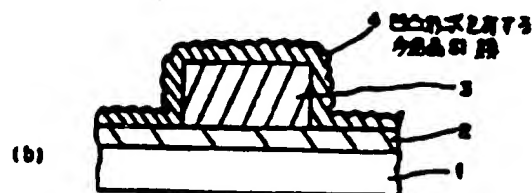
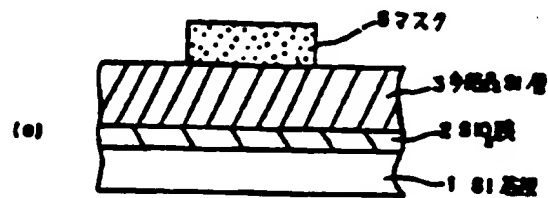
(74) 代理人 弁理士 飯野 千恵子

(54) 【発明の名称】 凹凸形状を有する多結晶Siのエッチバック方法

(57) 【要約】

【目的】 シリコン基板上の立体構造物上に堆積した凹凸形状を有する多結晶Siについて、その立体構造物側壁の凹凸形状を保ちつつ、立体構造物間隙の凹凸形状の多結晶Siを完全にエッチング除去する。

【構成】 凹凸形状の多結晶Siで形成された立体構造物側壁にエッチング保護膜を形成し、しかる後にハロゲンを含んだガスでドライエッチングして立体構造物間隙の凹凸形状の多結晶Siを除去する。



## 【特許請求の範囲】

【請求項1】 凹凸形状を有する多結晶S1を半導体基板上の立体構造物全面に成長させ、次いで該立体構造物側壁の凹凸形状を保持しつつ多結晶S1をエッチバックする方法であって、凹凸形状を有する多結晶S1を全面に成長させた後、立体構造物側壁にエッチング保護膜を形成し、次いでハロゲンを含むガスでドライエッチングすることを特徴とする凹凸形状を有する多結晶S1のエッチバック方法。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】 本発明は、電子デバイス等の製造プロセスに用いられる凹凸形状を有する多結晶S1のエッチバック方法に関するものである。

## 【0002】

【従来の技術】 ダイナミックメモリ(DRAM)のスタックトキャパシタの電極等に用いるため、本出願人は特願平2-72462号明細書において、従来600℃でLPCVD法で増殖していた多結晶S1を550℃で同じくLPCVD法で増殖すると、多結晶S1側表面に極めて緻密な凹凸が発生し、キャパシタの容量を2割程度に増加させることができることを示した。しかしこの凹凸形状を有する多結晶S1を立体構造物全面に成長させ、エッチバック法により立体構造物側壁の凹凸形状を保ちながらこの多結晶S1を分離する技術は存在しなかった。すなわち単純にエッチバックすると、基板上の立体構造物側壁では、その特異な形状ゆえイオンによるスパッタ率が増加するため、エッチバック後側壁の凹凸は消えてしまう。これを図2を用いて説明すると、まず図2(a)のように、立体構造物26上に凹凸形状を有する多結晶S123を増殖させて通常のエッチバックを行うと、図2(b)に示すように、側壁の凹凸が消えて平坦な側壁27になる。そして立体構造物上面にのみエッチング転写された凹凸が残る。

## 【0003】

【発明が解決しようとする課題】 以上述べたように、単純なエッチバック法では立体構造物の側壁に凹凸形状を残すのは困難である。本発明の目的は、立体構造物側壁の凹凸形状を保持しつつ、立体構造物間隙の凹凸形状の多結晶S1を完全にエッチング除去することのできる凹凸形状を有する多結晶S1のエッチバック方法を提供することにある。

## 【0004】

【課題を解決するための手段】 本発明は、凹凸形状を有する多結晶S1を半導体基板上の立体構造物全面に成長させ、次いで該立体構造物側壁の凹凸形状を保持しつつ多結晶S1をエッチバックする方法であって、凹凸形状を有する多結晶S1を全面に成長させた後、立体構造物側壁にエッチング保護膜を形成し、次いでハロゲンを含むガスでドライエッチングすることを特徴とする凹凸形

状を有する多結晶S1のエッチバック方法である。

## 【0005】

【作用】 立体構造物側壁の多結晶S1上にエッチング保護膜を形成し、表面が凹凸形状を有する多結晶S1を成長させた立体構造物の全面をハロゲンを含んだガスでエッチバックすると、立体構造物側壁以外の多結晶S1はエッチング除去され、かつエッチング保護膜により立体構造物側壁の凹凸形状は保持される。

## 【0006】

10 【実施例】 以下、本発明の実施例について、図面を用いて説明する。まず本実施例で用いた基板上の立体構造物の形成方法について述べる。図1(a)に示すように、S1基板1上にS1O<sub>2</sub>膜2を形成した後、LPCVD法にて多結晶S1層3をS1O<sub>2</sub>膜2上に形成し、次いでリンを熱拡散して多結晶S1層3のシート抵抗を60Ω/□とした。その後、フォトリソist層を形成した後、光リソグラフィ技術によりパターンニングし、マスク5を形成した。エッチング装置は、13.56MHzのカソードカップル方式の平行平板型パッチ式エッチャーを用いた。エッチングガスとしてHBrガスをを用い、マスフローコントローラより30SCCM渡し、圧力5Pa、RFパワー550Wの条件でエッチングし、エッチング終了後、さらに30%のオーバーエッチングを行った。エッチング後、マイクロ波励起型のアッシング装置により、CF<sub>4</sub>(2%)+O<sub>2</sub>放電で20秒間、引き続き、O<sub>2</sub>放電により90秒間さらしてレジストを剥離し、立体構造物を多数形成した。マイクロ波パワーは400W、圧力0.1Torrとした。次いで図1(b)に示すように、立体構造物の全表面に、550℃でLPCVD法で凹凸形状を有する多結晶S14を膜厚が2000オングストロームになるように形成した。凹凸は540~560℃の範囲で発生し、550℃を中心とする10℃の範囲で特に大きな凹凸が発生した。

40 【0007】 次に立体構造物側壁の凹凸形状をエッチングから保護するための保護膜として、S1基板を130℃で硝酸ボイルして凹凸形状を有する多結晶S1表面に成長する自然酸化膜(10~20オングストローム)を利用した。そして立体構造物側壁にのみ保護膜を付ける方法として、立体構造物上面およびその間隙の自然酸化膜のエッチング除去を行った。エッチング条件は、エッチングガスとしてHBrガスをを用い、マスフローコントローラより30SCCM渡し、圧力3Pa、RFパワー550Wの条件で15秒間エッチングした。そして凹凸形状を有する多結晶S1のエッチバックとして、先ほど立体構造物をドライエッチングした条件と同じ条件でドライエッチングし、エッチング終了後さらに20%のオーバーエッチングを行った。その結果、SEM観察より図1(c)に示すように、立体構造物上面では凹凸形状がそのまま転写され、また立体構造物側壁では凹凸形状が保持された構造が得られた。

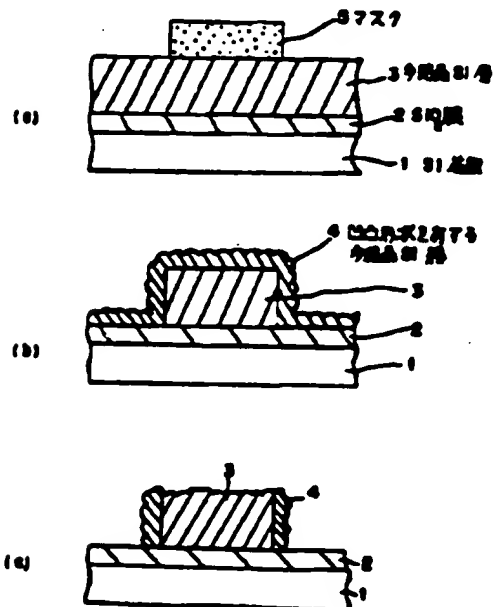
3

【0008】本実施例ではガスはHBrを用いたが、Siをエッチングし、かつ側壁膜に対して、高選択性をもつガスであればこのエッチバック方法を適用することができる。また、エッチング装置に13.56MHzのカソードカップル方式の平行平板型パッチ式エッチャーを用いたが、同じ平行平板型エッチング装置で枚層式のものや、電子サイクロトロン共場を利用したエッチング装置等にもこのエッチバック方法を適用できる。さらに、Si基板を130℃で硝酸ボイルして凹凸形状を有する多結晶Si表面に成長する自然酸化膜(10~20オングストローム)を立体構造物側壁のエッチング保護膜として用いたが、熱酸化膜、CVD酸化膜、窒化膜等も、エッチング保護膜として応用できることは言うまでもない。

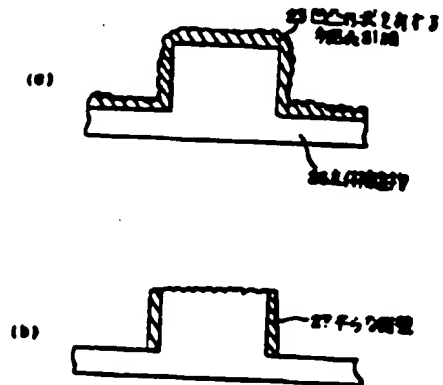
【0009】

【発明の効果】以上説明したように、本発明は、凹凸形状になった立体構造物側面にエッチング保護膜を付け、

【図1】



【図2】



対シリコン酸化膜高選択を実現するハロゲンを含んだガスでエッチバックして立体構造物側面の凹凸形状を保つことができるため、今後のデバイスの新しい構造に対して、新規のドライエッチング技術の確立につながる。

【図面の簡単な説明】

【図1】本発明の一実施例を説明するための半導体チップの断面図である。

【図2】従来例によるエッチバック方法を説明するための半導体チップの断面図である。

【符号の説明】

- |                      |                      |
|----------------------|----------------------|
| 1 Si基板               | 2 SiO <sub>2</sub> 膜 |
| 3 多結晶Si層             |                      |
| 4, 23 凹凸形状を有する多結晶Si膜 |                      |
| 5 マスク                | 26 立体構造物             |
| 27 平らな側壁             |                      |

(4)

特開平4-326516

【写真】

